

平成 25 年度 TSUBAME 産業利用トライアルユース 成果報告書

利用課題名: 三次元電磁界シミュレータを用いた静電気放電イミュニティ試験に於ける PCB/Package/Chip のイミュニティ解析

英文: Immunity analysis of PCB/Package/Chip in the electrostatic discharge test of using the three-dimensional electromagnetic field simulator

利用課題責任者: 秋本 哲也

First name Surname: Tetsuya Akimoto

所属: ルネサスエレクトロニクス株式会社

Affiliation: Renesas Electronics Corporation

URL: <http://www.renesas.com/>

電子デバイスのボードレベル試験のうち、静電気ノイズイミュニティ試験(IEC61000-4-2 準拠)の三次元電磁界シミュレーションを実施し、100MHz 以下の帯域のノイズの伝搬が机上の水平結合板の存在に大きく影響されていることを確認した。また、同帯域のノイズの LSI 内への伝搬が、ノイズ印加位置と LSI パッケージ端子および GND アースケーブルの位置関係と関連していることを確認した。

Of the board-level test of an electronic device, conducted a three-dimensional electromagnetic field simulation static noise immunity test of (IEC61000-4-2 compliant), propagation of noise bandwidth of 100MHz or less is large affected by the presence of horizontal coupling plate on the desk it was confirmed that it is. In addition, I was confirmed that the propagation of the LSI in the noise of the band, has been associated with positional relationship of the GND grounding cable and LSI package terminals and noise applied position.

Keywords: TSUBAME, CST STUDIO, IEC61000-4-2, ESD, IMMUNITY, LSI

背景と目的

社会における IT 化は年々進み、電子機器が生活の中に深く浸透する時代になった。一方で、安全や安心に深く関わる部分も知らず知らずのうちに IT 化されており、電子機器の故障が生命を脅かす事例も顕在化してきた。

現在は、電子機器の開発段階において故障を事前検証するため、数多くの試験方法が規定されている。今回の検討対象である IEC-61000-4-2 には、電子機器の静電気ノイズイミュニティの試験方法が規定されている。一方で、電子機器に搭載する個々の電子デバイスの開発段階においても、再現性のある試験方法が求められている。

本検討では、電子デバイスのボードレベル試験のうち、静電気ノイズイミュニティ試験(IEC61000-4-2 準拠)の三次元電磁界シミュレーションを実施し、本試験環境におけるノイズ伝搬経路を考察した。

概要

本検討では、「平成 25 年度 先端研究基盤共用・プラットフォーム形成事業『みんなのスパコン』TSUBAME による日本再生」の産業利用トライアルユースを利用して、TSUBAME2.5 上の CST STUDIO SUITE ソフトウェアを用い、電子デバイスのボードレベル試験のうち、静電気ノイズイミュニティ試験(IEC61000-4-2 準拠)の三次元電磁界シミュレーションを実施した。

実試験環境はシールドルーム中にあり、机・机上の水平結合板・ESD ガンおよびそのリターンケーブル・試験対象ボードから構成されている(図 1)。本検討では、シールドルームの内側部分についてモデリングを行い、静電気ノイズ印加を想定したシミュレーションを実施した(図 2)。モデリング範囲の差異による影響を考察するため、評価ボードのみ(WO_GUN)・評価ボード+ESD ガン(W_GUN)・机上の水平結合板と導体床(DESK)・上記にリターンケーブルを加えたもの(CABLE)の 4 水準を比較評価した。評価ボードには

右上の 1 点にて GND アースケーブルを接続し、下面の理想導体壁に接地している。

また、本検討で用いる評価ボードには 4 点のノイズ印加箇所(A・B・C・D)が設けてあり(図 3)、ノイズ印加箇所を変更した際のノイズ伝搬経路の違いについても考察を行った。

なお、全ての解析において、評価ボードに搭載されている LSI および電源用キャパシタは、容量素子としてモデリングしている。LSI のモデルは、実チップが存在する位置近傍に並行平板を配置して、並行平板間に容量素子を接続して実現した(図 4)。電源用キャパシタは、ボード上のキャパシタのパッドに容量素子を接続して実現した。

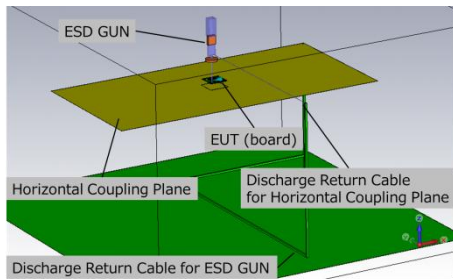


図 1

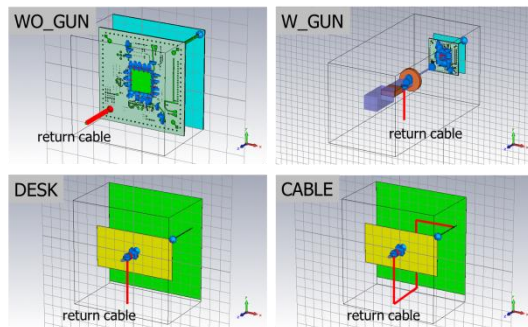


図 2

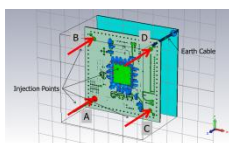


図 3

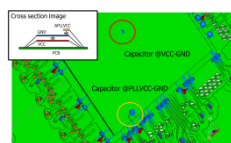


図 4

結果および考察

本検討のシミュレーションでは、ESD ガンのノイズ発生端子に Gaussian 波形のエネルギーパルスを印加した。使用した Gaussian 波形は 1GHz まで 9% 以内のほぼ平坦な周波数特性を示しているが、印加先のモデルの入力インピーダンスの影響を受けて実際にモデルに入射する電圧レベルが変化するため、モデル内へ入射した電圧波形を観測した上で、それを用いて各観測点での電圧観測結果を正規化した。正規化の方法は、

時間解析結果に対してはピーク値に基づき比例補正し、周波数解析結果に対しては各周波数における絶対値で比例補正した。このうち時間解析結果に対する正規化方法は不十分であり、WO_GUN モデルにおいては印加波形形状を十分に再現するには至っていない(図 5)。

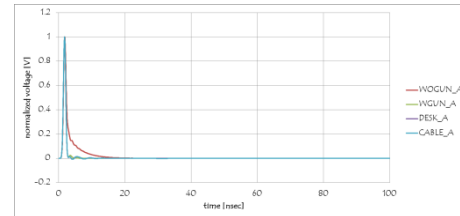


図 5

次に、モデリング範囲の違いによって、LSI へのノイズ伝搬の違いを確認した。本検討の LSI には PLL 電源と VCC 電源の 2 系統の電源が接続されており、各々について時間解析結果を見ていく。まず LSI の PLL 電源における電圧波形については、DESK と CABLE の結果はほぼ重なっており、リターンケーブルを追加した影響は小さいと考えられる(図 6)。一方、WO_GUN・W_GUN 共に DESK の結果とは差が大きいことから、机上の水平結合板のモデリング有無による結果の差が大きいと考えられる。同様に LSI の VCC 電源について確認すると、やはり同様に DESK と CABLE の結果がほぼ重なり、WO_GUN・W_GUN との差が大きいことが読み取れる(図 7)。

そこで、これらモデリング範囲の違いによって、ノイズの周波数特性がどのように変化したのかを見てみる。LSI の PLL 電源における電圧ノイズの周波数特性を見ると、WO_GUN・W_GUN の波形は 500MHz 以下で概ね平坦な特性を示しているのに対し、DESK・CABLE の波形は 100MHz をピークとして、それ以下の周波数帯域でノイズ量が低下していることが分かる(図 8)。また、LSI の VCC 電源について確認すると、40MHz 以下の周波数帯域について PLL 電源と類似の傾向を示していることが分かる(図 9)。また、時間波形では違いが識別できなかったが、DESK と CABLE の結果に 50MHz 以下の周波数帯域で差異がみられることも分かる。一方で、500MHz 以上の帯域では全ての結果でほぼ同等の周波数特性となっていることも見てとれる。

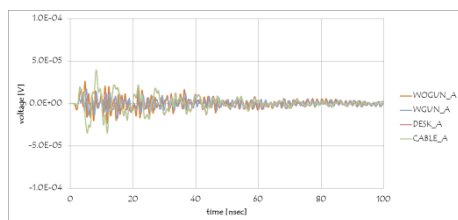


図 6

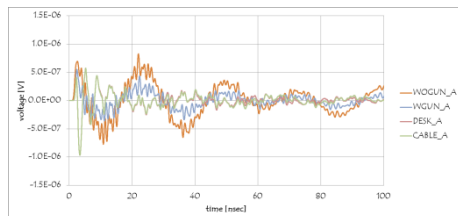


図 7

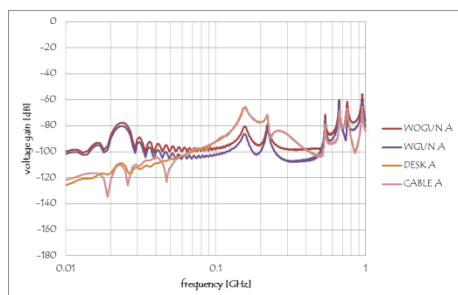


図 8

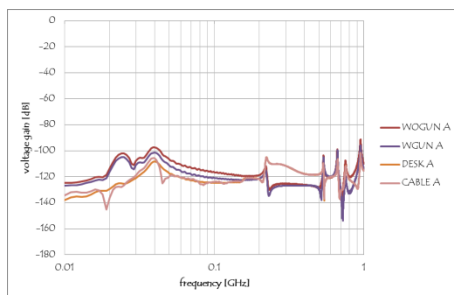


図 9

続いて、モデリング領域が最も広く精度が高いと考えられる CABLE の結果について、ノイズ印加箇所 A・B・C・D による違いを確認する。時間解析結果からはこれらの差異を読み取れなかったため、周波数解析結果にて確認した。LSI 内の PLL 電源におけるノイズ波形において、100MHz 以下の周波数帯域では A と C および B と D がそれぞれ類似した特性を示しており、A・C のノイズ量が B・D に比べて若干大きく観測されている(図 10)。一方で LSI の VCC 電源においては、200MHz 以下の周波数帯域で A と B および C と D がそれぞれ類似した特性を示し、A・B のノイズ量が C・D に比べて若干大きい結果となっており、PLL 電源とは異なる傾向が得られた(図 11)。また、いずれの結果でも 500MHz 以上の周波数帯域では、印加箇所毎に特性が異なっており共通の傾向を読み取ることはできなかった。

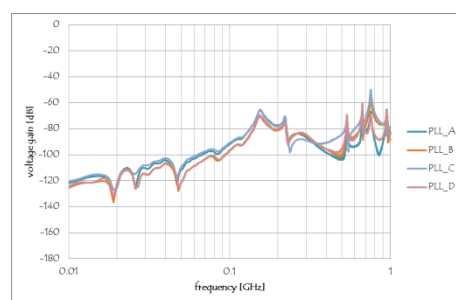


図 10

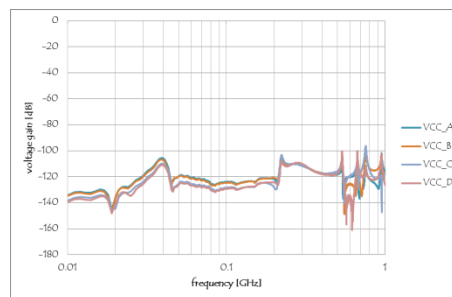


図 11

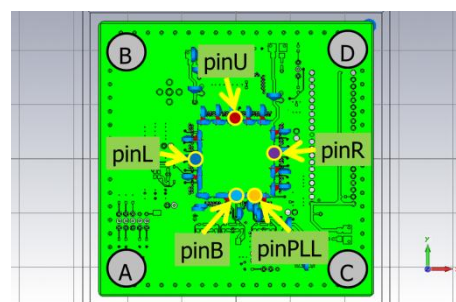


図 12

最後にノイズの伝搬時間を確認した。ノイズ印加箇所 A・B・C・D の各々から、LSI のパッケージ端子までの伝搬時間と、LSI 内の PLL 電源および VCC 電源までの伝搬時間を見ると、LSI のパッケージ端子にノイズが伝搬した後に LSI 内電源にノイズ伝搬している様子が分かる(図 13)。また LSI パッケージにおいて、PLL 端子は下辺に 1 本(pinPLL)であるのに対し、VCC 端子は 4 辺に複数端子ずつ存在するため、印加箇所 A の場合は左辺(pinL)、B は上辺(pinU)、C は下辺(pinB)、D は右辺(pinR)への伝搬が早く、その後に LSI 内の VCC 電源に伝搬するという順序になっている。

まとめ、今後の課題

電子デバイスのボードレベル試験のうち、静電気ノイズイミュニティ試験(IEC61000-4-2 準拠)の三次元電磁界シミュレーションを実施した。試験環境の中で机上の水平結合板による伝搬ノイズへの影響度が大きく、特に 100MHz よりも低い周波数帯域のノイズに大きく

影響していることを確認した。また、ノイズ印加箇所によって LSI 内の PLL 電源および VCC 電源に伝搬するノイズの特徴が異なり、PLL 電源に対しては LSI パッケージの PLL 端子のある下辺側(A・C)へのノイズ印加時に、100MHz 以下のノイズが増加する傾向があることが分かった。一方、VCC 電源に対しては左辺側(A・B)へのノイズ印加時に 100MHz 以下のノイズが増加する傾向がみられる点から、ボード上右側の GND アースケーブルに向かうノイズ伝搬経路上に LSI が位置するために、ノイズが増加している可能性が考えられる。最後に、伝搬遅延の結果から、LSI 内 VCC 電源への 100MHz 以下の周波数帯域のノイズ伝搬は、ノイズ印加箇所にもっと近い LSI パッケージの VCC 端子から侵入している可能性が示唆される。

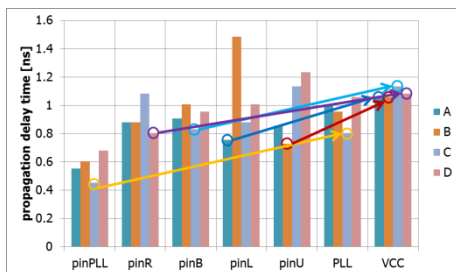


図 13

課題として残った点は、500MHz 以上の周波数帯域のノイズの伝搬メカニズムである。この帯域のノイズは、本検討において変更したモデリング範囲の影響は少なく、ノイズ印加箇所の依存性が比較的強いことが分かったことから、ボード内のモデリングの影響により支配されている可能性が考えられる。また、本検討では実機試験結果との比較考察ができなかった。実機試験においては、ボードの変更によって LSI の誤動作耐圧が変化の様子が確認されているが、残念ながら今回のシミュレーションでそれを再現するには至っていない。再現できなかった原因としては、本検討で用いた LSI のモデルが現実と異なり並行平板を用いたことによる可能性と、実機試験における誤動作が上述した 500MHz 以上の帯域のノイズに起因する可能性の 2 通りを考えている。LSI のモデルについては端子間の電気特性をモデリングした等価回路モデルがあり、PC 上の CST STUDIO SUITE ソフトウェアには同モデルを扱う機能が実装されているため、TSUBAME2.5 上への同機能の実装が期待される。

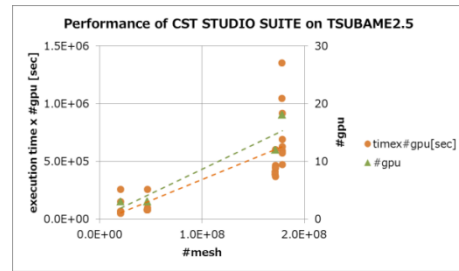


図 14

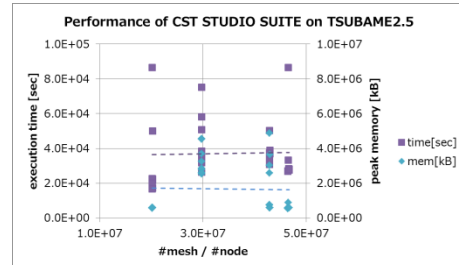


図 15

謝辞

CST STUDIO SUITE ソフトウェアのトレーニングおよびサポート並びに、本検討にて用いた ESD ガンモデルをご提供頂いた、株式会社エーイーティーに深く感謝いたします。また、TSUBAME2.5 のトレーニングや使用方法のサポート、Windows サーバマシンの利用方法のご指導やメンテナンスなど頂きました、東京工業大学学術国際情報センター共同利用推進室に深く感謝いたします。

参考文献

1. 賀 文寿、秋山 雪治「電磁界シミュレーションによる ESD イミュニティの解析」, 第 27 回エレクトロニクス実装学会春季講演大会
2. S. Caniggia, F. Maradei, "Circuit and Numerical Modeling of Electrostatic Discharge Generators," IEEE Transactions on Industry Applications, Vol. 42, pp. 1350-1357, Nov. 2006.
3. IEC61000-4-2, Testing and measurement techniques - Electrostatic discharge immunity test, Edition 2.0, 2008.12