

TSUBAME 共同利用 平成 27 年度 学術利用 成果報告書

利用課題名 GPGPU における核融合プラズマコードの性能評価
英文: Performance analysis of fusion plasma code on GPGPU

井戸村泰宏
Yasuhiro Idomura

日本原子力研究開発機構
Japan Atomic Energy Agency
<https://www.jaea.go.jp>

邦文抄録(300 字程度)

セミラグランジアン法および差分法に基づく 2 つの核融合プラズマ乱流コードの高次元ステンシル演算に対する GPU 向け最適化技術を開発した。セミラグランジアン法におけるメモリのリストアクセスをテクスチャメモリの利用によって大幅に高速化した。差分法においては、演算子の対称性を活用したレジスタ再利用によってメモリアクセス数を削減した。これらの最適化により、Sandy Bridge で最適化されたコードに対して、GPU を用いてセミラグランジアン法で 7.6 倍、差分法で 4 倍の高速化に成功した。

英文抄録(100 words 程度)

We developed optimization techniques for high dimensional stencil computations on GPUs, which are extracted from two fusion turbulence codes based on Semi-Lagrangian and Finite-Difference schemes. The indirect memory access of the Semi-Lagrangian scheme is dramatically accelerated by using the texture memory. In the Finite-Difference scheme, the reuse of registers by taking account of the physical symmetry of the operator reduces the amount of memory accesses. Through these optimizations, we achieve acceleration of 7.6x for the Semi-Lagrangian scheme and of 4x for the Finite-Difference scheme on GPUs compared with the fully optimized codes on Sandy Bridge.

Keywords: Plasma turbulence, performance analysis, GPGPU, Semi-Lagrangian, Finite-Difference

背景と目的

磁場閉じ込め核融合炉は約1億度の燃料プラズマをトーラス形状の磁場で閉じ込めて核融合反応を持続させて、核融合エネルギーを取り出す。炉心プラズマの閉じ込め性能はプラズマ乱流による燃料粒子やエネルギーの輸送で決まっており、プラズマ乱流の第一原理計算が炉心性能評価に必須のツールとなっている。核融合炉心プラズマは粒子間の衝突が弱く(クヌーセン数が大きく)、粒子軌道やランダウ共鳴といった運動論効果が顕著となるため、その第一原理モデルはサイクロロン運動を平均化した5次元のボルツマン方程式(ジャイロ運動論方程式)で与えられる。炉心プラズマを構成するイオンと電子はその質量比のため、熱運動や粒子軌道半径の時空間スケールが大きく乖離し、イオンについては燃料の重水素、三重水素、および、核融合反応で生成するヘリウムを含む多種イオン系となる。このように、核融合プラズマ乱流コードは、5次元問題、マルチスケール問題、多相問題という極めてユニークな

大規模科学技術計算となっており、特に、次世代の核融合実験炉 ITER の解析を行う上でエクサスケール計算を必要としている。このような、エクサスケール計算を実現する計算手法を確立することは、将来の核融合炉心解析コード開発に必要不可欠であり、核融合エネルギー開発に大きく貢献する。

エクサスケール計算機では、GPU や Xeon Phi を始めとするアクセラレータが主要な役割を果たすと考えられる。しかしながら、これらアクセラレータ上で既存の CPU 向け計算手法や最適化手法が有効とは限らない。そこで本課題では、異なるアルゴリズムを用いる第一原理的核融合プラズマ乱流コードからホットスポットを抽出したのち、それらについて GPU 上で最適化し、性能比較を行う。これにより、アルゴリズムごとの GPU に対する適正を明らかにするとともに最適化手法を確立することを目的とする。

概要

本課題では、核融合プラズマ乱流シミュレーションコード GT5D および GYSELA からホットスポットに対応するカーネルコード(それぞれ差分法カーネルおよびセミラグランジアン法カーネル)を抽出し、GPU 上で最適化技術の開発を行った。

これらのコードは 4 次元の移流問題に対応する同一の方程式を異なるアルゴリズムで解く。アクセラレータにおいては、メモリアクセスがボトルネックとなりやすいことが知られているため、各アルゴリズムにおけるメモリアクセスパターンに着目した。各スキームにおけるメモリアクセスパターンを 2 次元(空間 x 、速度 v)の移流方程式に基づき説明する。スカラー量 f の移流方程式は、

$$\frac{\partial f}{\partial t} + v(x, t) \frac{\partial f}{\partial x} + a(x, v, t) \frac{\partial f}{\partial v} = 0,$$

で表される。セミラグランジアン法では、 f が特性曲線(粒子の軌道を意味する)に沿って一定となる性質を利用し、あるタイムステップにおける各格子点上の f の値を粒子の出発点の値から評価する。通常、出発点は格子点上の点とならないため、出発点近傍のデータの補間によって f を評価する(図1(a)参照)。粒子軌道は空間の各点によって異なるため、出発点の座標も空間の各点によって異なる。これは、データ補間のために、出発点近傍の格子にアクセスする際、リストアクセスが生じることを意味する。ここで、GYSELA においては 4 次元移流の演算子を 2 次元+1 次元+1 次元の演算子と分割することでデータ局所性を向上させている。今回用いているのは最も計算コストの高い 2 次元の補間カーネルである。

一方、差分法においては、移流方程式を差分化して、次のタイムステップの f の値を評価する。図1(b)に示すように、差分法においては隣接格子の参照が必要となる。メモリアクセスパターンを考えると、最内の差分においては連続アクセスとなるが、それ以外の方向においては、ストライドアクセスが生じる。

本課題では、リストアクセスおよびストライドアクセスというアルゴリズム特有のメモリアクセスパターンに着目し、これらのメモリアクセスパターンを持つカーネルが

GPU 上で高い性能を発揮するための最適化技術の開発を行った。

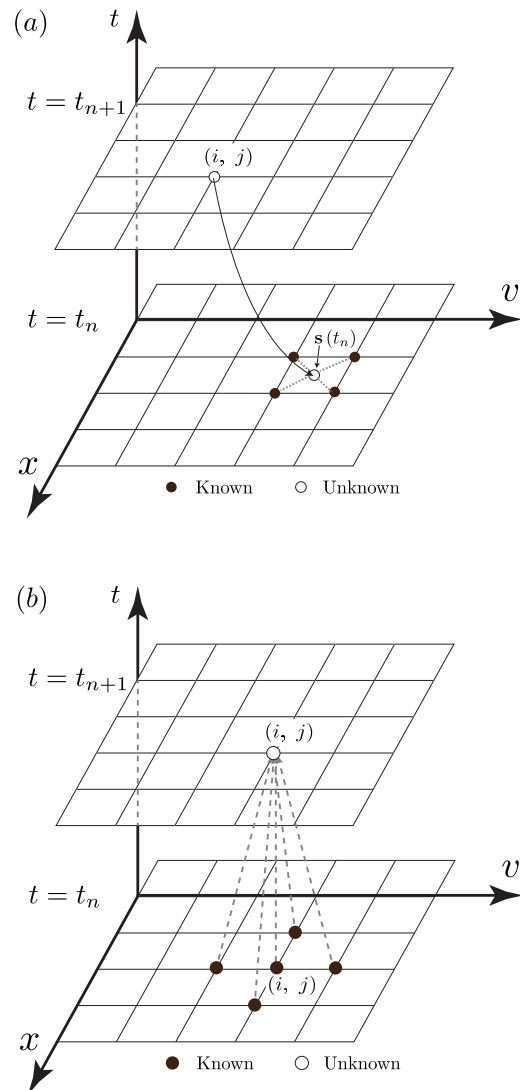


図1 (a)セミラグランジアン法カーネル、および、(b)差分法カーネルにおけるデータアクセスパターン。

結果および考察

本課題では、上述した GPU(Tesla K20X)におけるカーネル最適化による性能向上の程度を評価するため、通常比較対象となる汎用メニーコア CPU(Sandy Bridge)に加え、同じく汎用メニーコア CPU である FX100(SPARC64XIfx)、アクセラレータ Xeon Phi(Xeon Phi 5110P)において最適化されたコードとの演算性能比較を行った。FX100 や Xeon Phi は 1TFops 級と GPU と同程度の演算性能を持つため、最適化効果を確認する上での比較対象としてより適切である。

セミラグランジアンカーネルの最適化

前述したように、セミラグランジアン法では粒子軌道をたどることで、分布関数の時間発展を計算する。プラズマ乱流中においては、空間の各点で粒子が受ける力が異なるため、粒子軌道は各格子点で異なったものとなる。従って、粒子軌道をたどり、その出発点を追跡する際、格子点ごとに参照する格子点は異なる。このメモリアクセスパターンをリストアクセスと呼ぶ。

オリジナルの CPU 版カーネルでは、各格子点において出発点の座標データのペア (θ, ϕ) を保持する Array of Structure (AoS) 型のデータ構造を取っていた(図 2(a)参照)。このデータ構造のまま GPU に移植したカーネルを以降ではオリジナルと呼ぶ。このデータ構造は、キャッシュ局所性を向上させるため、従来の CPU では有効な最適化である。しかしながら、この配列へのメモリアクセスはストライドアクセスとなるため、GPU には適さない。そこで、アクセスパターンが連続アクセスとなるように、配列を構成する構造体を座標データのペア (θ, ϕ) でなく、SIMD 幅単位の θ 座標列と ϕ 座標列のペアからなる構造体へと変更した。図 2(b)に示されるように、この配列へのメモリアクセスは連続アクセスとなる。ここで、図 2(b)では便宜的に SIMD 幅 4 の場合を示しているが、実コードでは Warp 数 32 の整数倍とした。このような配列のデータ構造は Array of Structure of Array (AoSoA) 型と呼ばれ、Xeon Phi などの SIMD 幅が大きいアーキテクチャで有効な最適化技術として知られる。これにより出発点の座標計算におけるメモリアクセスを Coalescing load とした。これによってオリジナルに対し、1.24 倍の性能向上を得た。

加えて、計算された出発点の座標を元に参照される配列へのリストアクセスについても最適化を行った。プラズマ乱流中における粒子軌道は空間位置によって変化するものの、電場や磁場といった軌道を決める物理量が空間内で連続的に変化することから、近接格子点における軌道も連続的に変化し、近接格子点における参照点もまた空間的に近接したものとなる。これは、リストアクセスにおけるメモリアクセスパターンにある程度空間局所性があることを意味する。このアクセスパターンは、GPU による画像処理で非常によく用いられるテ

クスチャマッピングと同様である。そこで、GPU が有する画像処理パイプラインを有効活用するため、リストアクセスの参照先配列をテクスチャメモリに配置した。最終的にこれらの最適化によりオリジナルの 1.79 倍の性能向上を得た。これは、最適化された Sandy Bridge 版の約 7.55 倍に対応する。

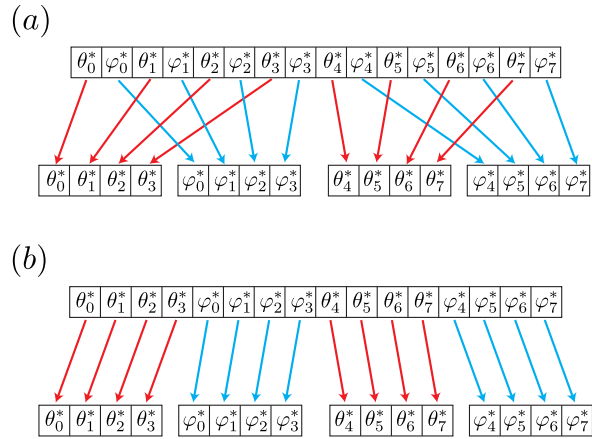


図 2 出発点配列の AoS 形式(a)と AoSoA 形式(b)による格納。

差分法カーネル最適化

図 1 (b)に示すように差分法では、隣接格子点に対する参照を行う。GT5D では、4 次元配列 $f(l,k,j,i)$ に対して差分演算を行うが、この際最内の 1 方向については連続アクセスとなるものの、それ以外の k,j,i 方向についてはストライドアクセスとなる。

先行研究[Fujita et al., PDSEC2014]によって、GT5D の GPU 移植が行われていたため、本課題では移植済みのカーネルをもとに最適化を行った。このカーネルを以降ではオリジナルと呼ぶ。差分演算の係数行列は一般的には 4 次元の依存性を持つが、ITER を始めとするトカマク型装置における軸対称磁場配位の場合には係数が k 方向に依存しないという特徴を持つ(トロイダル対称性)。オリジナルのカーネルでは、最内 2 次元の (l,k) 方向にスレッドを割り当てていた上、係数の計算結果を shared memory へ格納するために、if 文を用いた分岐によって係数の計算を k 方向の index が 1 のスレッドのみで計算していた。この Warp 分岐を解消するために、スレッド割り当て方向を (l,j) 方向へと変更し、係数の計算結果はレジスタへ格納するように変更した。この変更によってオリジナルの 5.43 倍の性

能向上を得た。

k 方向の差分時に参照される隣接点のデータを再利用するため、カーネルの最内ループを k 方向とした上、k 方向の隣接点データをレジスタに格納し、サイクリックに再利用した。これによって、オリジナルの 7.44 倍の性能向上を得た。i 方向の差分については、i 方向にアンロールすることにより、従来メモリアクセスが生じていた部分の一部をレジスタへのアクセスで置き換えた。これによりオリジナルの 8.53 倍の性能向上を得た。最終的に得られたコードの性能は Sandy Bridge の 4.03 倍となった。この差分法カーネルの最適化に関する成果を GTCJapan2015 において口頭発表した[1]。

ベンチマーク結果

図3に示すように最適化されたカーネルコードの性能を Sandy Bridge、Xeon Phi、および、FX100 で最適化されたコードと比較した。各ハードウェアの性能については、表1に示す。

Processor	Sandy Bridge	Xeon Phi	GPGPU	FX100
Number of cores	8	60	896	32+2
Shared Cache [MB]	20	0.5 × 60	1.5	24
Memory [GB]	64	8	6	32
Peak performance [GFlops]	172.8	1010	1310	1000
Peak B/W [GB/s]	51.2	320	250	480
SIMD width	256 bit (AVX)	512 bit	-	256 bit
TDP [W]	130	225	235	-
Power efficiency [GFlops/W]	562	1501	2973	1910
B/F ratio	0.3	0.3	0.19	0.5

表1 ベンチマークで用いたハードウェアの仕様。

GPU 版のセミラグランジアン法カーネルは、最速となっており、差分法カーネルは FX100 について速い。セミラグランジアン法カーネルでは、演算密度が高い上、テクスチャメモリによるリストアクセスの高速化が有効であったため、GPU で高い性能が得られたと考えられる。一方、差分法カーネルは、演算密度が低くメモリバンド幅がボトルネックとなる上、FX100 において有効であった容量の大きい共有キャッシュを活用した最適化[2,3]が GPU では有効ではないため、GPU より大きなメモリバンド幅を有する FX100 で高い性能が得られたと考えられる。

このベンチマークで得られた成果については、世界最大のスーパーコンピュータ関連学会である SC15 でポスター発表を行い[2]、また IEEE Transactions on

Parallel and Distributed Systems 紙へ論文投稿を行った[3]。

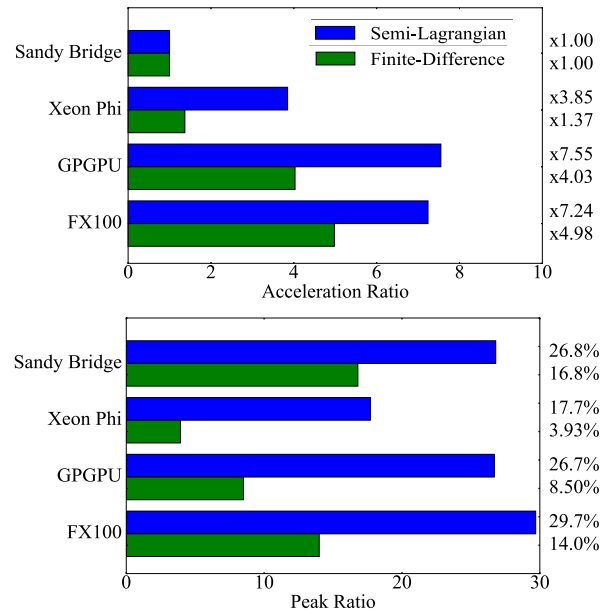


図3 セミラグランジアン法カーネルと差分法カーネルのベンチマーク結果。性能向上比(上)および演算性能の対ピーク比(下)。

まとめ、今後の課題

本課題では、核融合プラズマ乱流シミュレーションコード GT5D および GYSELA からホットスポットに対応するカーネルコード(それぞれ差分法カーネルおよびセミラグランジアン法カーネル)を抽出し、GPU 上で最適化技術の開発を行った。本課題では特に差分法カーネルに存在するストライドアクセス、セミラグランジアン法カーネルにおけるリストアクセスといった複雑なメモリアクセスパターンに着目し、それぞれレジスタの有効活用、テクスチャメモリの活用といった最適化を行った。開発した最適化技術により、GT5D の差分法カーネルおよび GYSELA コードのセミラグランジアン法カーネルは、Sandy Bridge において最適化されたものと比べそれぞれ 7.55 倍、4.03 倍という高い性能向上を得た。

今後の課題としては、残るコード全体の移植、メモリアクセスの削減、およびエクサスケール計算に向けた通信コストの削減などが挙げられる。コードの移植については、まず OpenACC による移植を行って、性能測定を行ったのち、ボトルネックについては改めて CUDA で移植する予定である。メモリアクセスの削減については、今まで演算結果を高次元配列へ格納しメモリアク

セスで演算を行っていた箇所を低次元配列への演算で置き換えるなどの対応を行う。通信コストの削減については、アルゴリズムレベルでの変更を検討する必要がある。以下に、GT5D に関する具体例を述べる。GT5D ではクリロフ部分空間解法によって差分・陰解法行列演算を行うが、そこで発生する通信は、縮約演算を含む。縮約演算については、通信と演算のオーバーラップによる通信コストの削減は困難である。そのため、先行研究によって提案されている省通信クリロフ部分空間解法の適用により、通信回数自体を削減し、通信コストを削減するといったアプローチの検討を開始した。

成果リスト

- [1] 朝比祐一, GPU における核融合プラズマ乱流コードの最適化, GTCJapan2015
- [2] Y.Asahi et al, Optimization of stencil-based fusion kernels on Tera-flops many-core architectures, ACM/IEEE conference on Supercomputing (SC15).
- [3] Y. Asahi et al., Optimization of fusion kernels on accelerators with indirect or strided memory access patterns, submitted to IEEE Transactions on Parallel and Distributed Systems.