

平成 26 年度 TSUBAME 産業利用トライアルユース 成果報告書

**利用課題名** 大規模・大領域 TCAD への HPC 応用技術の開発  
**英文:** Development of HPC application method to large scale large area TCAD

**秋山 豊**

Yutaka Akiyama

**所属 (株)半導体理工学研究センター**

**研究開発部 次世代 TCAD プラットフォーム開発室**

Affiliation: Semiconductor Technology Academic Research Center

Advanced TCAD Platform Development Group

R & D Department

URL: <http://www.starc.jp/>

近年、パワー半導体デバイスの高効率化が今後のグリーン社会の実現に必須であると言われている。これらの半導体デバイスの開発には TCAD(Technology CAD)を用いた効率的・科学的な開発手法が開発 TAT・コストの面で必須である。しかし現状の TCAD は 3 次元計算が一応できるものの計算速度や計算の規模・取り扱える領域の問題、計算の収束性から定性的な解析に留まっている。このような状況の中、今後は終端構造を含めた大規模な 3 次元シミュレーションによる大規模領域最適化、また更なる高性能化の為にパワーデバイスで進んでいる WBG(Wide Band Gap)半導体(SiC や GaN)等の材料に対する物理モデル化や信頼性のモデル化が強く求められている。本課題では、TSUBAME の計算資源を用い、大規模並列化によって IGBT の特性シミュレーション、新材料(SiC)対応のマルチ GPU モンテカルロイオン注入シミュレータの開発を行い、有用性の検証を行う。

In recent years, high efficiency of the power semiconductor device is said to be very important issues to the realization of the future Green society. The development of these power semiconductor devices by using the TCAD (Technology, CAD) is essential for development TAT and cost reduction. But the current status of the 3D TCAD simulation still remains in qualitative analysis from the convergence problem of and calculation speed. Under such circumstances, there is a strong demand for large-scale 3D quantitative simulation and device optimization including termination structure, also for high device performance the physical modeling and reliability modeling of WBG (Wide Band Gap : SiC and GaN) semiconductors. In this “TSUBAME Trial Use Program”, we realize the massive parallel 3D TCAD IGBT characteristics simulations by using the computational resources of TSUBAME, and we also develop the multi-GPU Monte Carlo ion implantation simulator for new power device materials (SiC), and verify the usefulness.

*Keywords: TCAD, parallelization, domain decomposition method, power semiconductor, MonteCarlo ion implantation*

## 背景と目的

「日本再興戦略」改定2015で挙げられている戦略市場創造アクションプランに第二項目目として記載されている“クリーン・経済的なエネルギー需給の実現”において、我が国の抱える環境・エネルギー制約を好機ととらえ、クリーン・経済的なエネルギー需給の実現に取り組むとともに、我が国の優れた省エネ・再エネ技術・製品・サービス・システムを成長産業と位置づけ、積極的な海外展開を通じてグローバル市場の獲得を目指し、5

つの具体的な施策が提案されている。

- ① CO2排出の少ない水素社会の実現
- ② 環境・エネルギー制約から脱却した社会の実現
- ③ 再生可能エネルギー間のバランスの取れた導入拡大
- ④ 優れた省エネ・クリーンエネルギー技術の海外移転の推進
- ⑤ 海洋資源開発の推進及び関連産業の育成

特に② 環境・エネルギー制約から脱却した社会の実現において、2020年東京オリンピック・パラリンピック競技大会に照準を合わせ、エネルギー需要面では、次世代半導体などの革新材料の開発及び家電製品やバス・鉄道などの輸送手段への実装や、燃料電池技術のバス等への実装を進めるとなっている。

(引用:「日本再興戦略」改定2015 )

日本の機械製造産業は半導体の恩恵を受けて発展してきた。DRAMに始まり、デジタル集積回路の基礎である大規模集積回路LSIは主に設備投資のタイミング等の問題で海外との競争に負け、日本が優位を保っているのはNANDフラッシュメモリ、イメージセンサとパワーデバイス半導体のみになったと言って過言ではない。これらの半導体の開発にはTCADやEDAを用いた効率的・科学的な開発手法が開発速度、開発コストの面で必須である。コストや性能向上の面では高精度化が更に進められており、デバイスの3次元効果をどう効率的扱うかがビジネスの勝敗を決める。この意味で、パワーデバイスに向けた大規模な3次元シミュレーションによる大規模領域最適化を並列処理を行うことにより実現することが本プログラムの目標である。

この状況の中で現状の TCAD は 3 次元計算が一応できるものの計算速度や計算の規模・領域の問題、計算の収束性低下の問題から定性的な解析にとどまっている。現状世界をリードしているこれらの分野で優位性を保つためには、TCAD として大規模・大領域の高速計算技術、計算の収束性向上技術がキーとなる。

また、パワーデバイスで進んでいる WBG(ワイドバンドギャップ)半導体(SiC や GaN)やフラッシュメモリやセンサ等でも導入が検討されている新材料に対する物理モデル化や信頼性のモデル化も大学を含めた日本の英知を結集する必要がある。本応募により開発したプログラムは大学や公的研究機関には既に無償で(オブジェクト形式にて)公開しており、また、API(アプリケーションプログラミングインターフェース)を用いた新規モデル開発機能もあるため、自由にモデル開発が可能である。オブジェクトの公開性と API を用いた守秘性も両立できており、大規模・大領域の高速計算技術が実現

すれば、日本が世界をリードし WBG 半導体で目指しているグリーンエレクトロニクス(省エネ、低炭素)社会の実現に向けての解決策を提示することができる。

昨年度も同課題名で、産業技術総合研究所と共同で、「大規模・大領域 TCAD への HPC 応用技術の開発」に取り組んだが、当初 TSUBAME の環境の問題なのか、移植作業がうまく行かず手間取ったが、最終的に正確な原因は不明だが TSUBAME の環境設定が変わったのか、通常最適化オプション指定によるインストール手順で、MPI 版がインストール可能になったので、HyENEXSS-完全(行列分割)MPI版をTSUBAMEへ移植完了。その後、Strong Scaling(問題サイズ固定で並列度を増加させた際の台数効果)で120コアを使ったMPI化による効果を見積もる事が出来た。

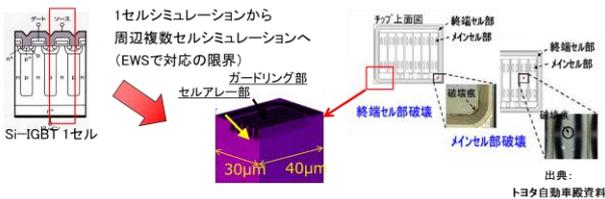
今回、昨年度の成果に加えて領域分割への取り組み、シングルGPUを用いたソルバー開発への取り組み、パワーデバイス用の新材料であるSiCへのGPUを用いたイオン注入シミュレータ開発に取り組み、有用性を示す事が出来た。

## 概要

本研究では、アナログ動作を行う集積化された半導体デバイスの TCAD によるシミュレーションを実用レベルでの計算を可能にするための、基本的な計算機技術の開発、ならびにその技術を組み込んだTCADシミュレータの実用化のための検証をおこない、半導体デバイス・モジュール開発の国際競争力の向上を図る。応用デバイスとしては日本が世界的にリードしているパワーデバイスへの適用を第一の目標としているが、NANDフラッシュ、イメージセンサにももちろん適用可能である。

特に本研究ではインバータ回路を構成する半導体素子であるパワーデバイス IGBT (Insulated Gate Bipolar Transistor) の耐圧計算を基本セルと終端で耐圧を向上させるために用いられるガードリングを合わせて数十～百個程度のトランジスタ規模の一括計算を目標としている。3次元で一括計算することにより、これまで判らなかつたメカニズムを解明し、有効な耐圧向上策を検討したい。下図は実際のデバイス(IGBT)の破壊痕と解析したい領域になる。IGBT チップは基本セル(メインセ

ル)が数十万個並び、その周りに終端構造としてガードリングを設けるが、デバイス構造上のあるパラメータにより、メインセル部が破壊されるか、終端セル部が破壊されるかが規則的に決まることが実験で判明している。ところが、3次元で大規模・大領域の計算が不可能であるため、2次元で TCAD 解析してもメカニズムが判っていない。

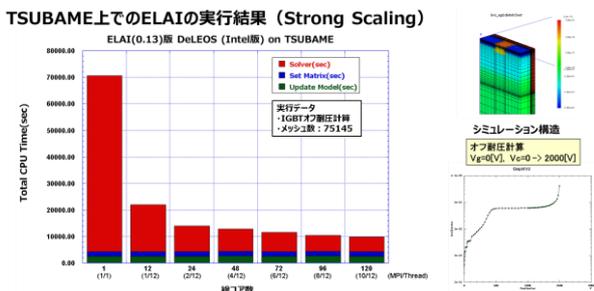


本研究ではこのメカニズム解明がメインターゲットとなるが、IGBT1セルが約10万メッシュあり、メモリの1ノード40~50GB必要、これらを数十セル+終端部のレベルで一括計算するため、約百ノードレベルをMPIで解析する必要があり、企業内での資源では到底不可能である。また、GPUも同時に使用した高速計算もトライしたく、TSUBAMEの利用が必須となる。

**結果および考察**

以下では、今回のトライアルユース全体を通しての成果を述べることにする。今回の開発は、産業技術総合研究所との共同研究成果である。

まず、MPIを用いた我々の並列版のデバイスシミュレータの性能を見積もった。



(ELAIは産総研で開発しているMPI行列ソルバー、DeLEOSはデバイスシミュレータの名前。HyENEXSSはデバイスシミュレータDeLEOSとプロセスシミュレータSyPROSから構成されている。)

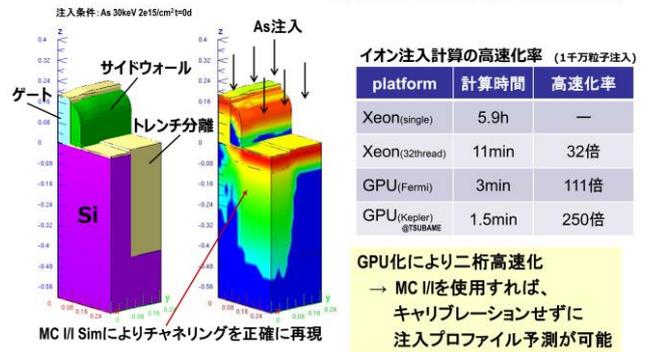
上図のように、ソルバー部は順調にコア数にスケールし、処理時間は減少してきているが、その分、行

列生成部や、各種の物理モデル値をNewton反復毎に更新する部分が目立ってきている。これらの部分に関しては、OpenMPでの並列化が容易であると思われるため、その改良に取り組みたいと考えている。

また、現在も機能向上の為に開発中であるパワーデバイス用新材料向けのモンテカルロイオン注入シミュレータの(シングル)GPU版をTSUBAME上の移植し、C2050(社内マシン)及び、TSUBAMEのK20との比較等を行なった。

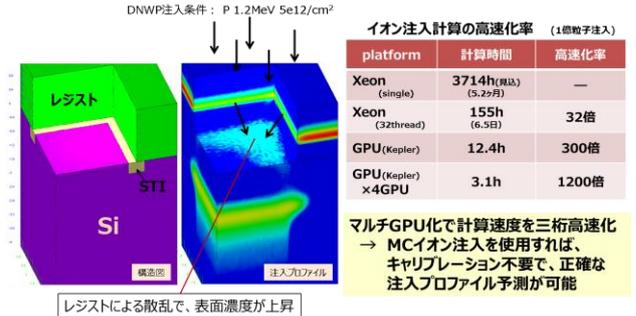
**GPUによるモンテカルロイオン注入シミュレータの開発**

nMOS SD As注入 計算結果: GPU活用により高速計算を実現



また、複数のGPUを同時に使用した高速計算にもトライし、従来、数ヶ月を要していた計算時間を、実用レベルまで短縮するための技術課題の抽出と検討を一部行なった。その結果を以下に示す。

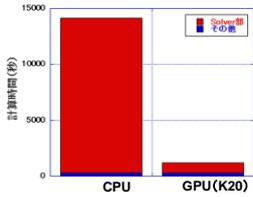
3次元ウェル近接効果シミュレーション: GPU活用により高速計算を実現



この結果により、従来CPUでは実現出来なかった、一億粒子のモンテカルロイオン注入(3次元領域へのモンテカルロイオン注入は粒子数が少ないとばらつきが大きすぎるので多数の粒子が必要)がマルチGPUを用いることにより数時間という現実的な時間で結果が得られることが示された。今後、GPUDirect等の新技術を取り込み、更なる実用性を高めたい。

また、デバイスシミュレータである DeLEOS-GPU 版 (シングル版) も移植を行い、GPU による効果を見積もる事が出来た。

**BiCGStaBのGPU化による速度向上結果**



● 計算内容 (pn接合)  
 ・メッシュ数 (819,200)  
 ・バイアス点数: 3点 (0V~0.2V)

**Solver部だけの比較で  
 15.3倍の高速化**

	Solver部 [a]	Solver部 高速化率	その他の部分 [a]	全計算時間 [a]	全体高速化率
CPU版 (BiCGStaB)	13855.1	-	290.1	14145.2	-
GPU版 (BiCGStaB)	903.1	15.3	307.2	1210.3	11.7

この結果に関しては、扱えるマトリクスサイズや、問題に適切な前処理等の検討がまだこれからであるため、今後反復解法の GPU としての可能性を見極めるためにも更に検討を進めたいと考えている。

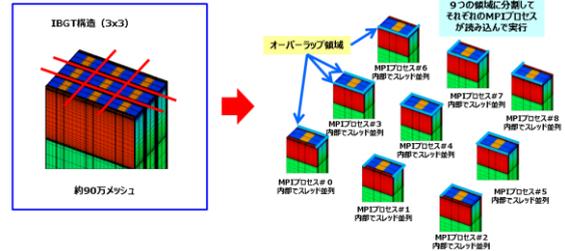
また上記、DeLEOS-GPU 版のマルチ GPU 化に関しては基礎検討を既に行い、MPI の各 rank の先に GPU を付加する手法の評価を行なったが、問題サイズが小さかった事と、MPI のオーバーヘッドが大きく、あまりマルチ GPU としての効果が得られなかった。今後、大規模例題でのテストと、GPU Direct 等の技術を用いた方法を検討後、プログラムとしての実装を行い性能評価する予定である。

更に、大規模計算とする目的で領域分割法の導入今年度取り組みを行なった。これまで、デバイスシミュレータの並列化手法として我々の場合は、デバイスシミュレータで生成される Jacobi 行列を、横方向に分割して各 rank に割り当てて処理を行う、所謂、行列分割による並列化を取り入れて来た。結果の冒頭で述べた並列化はこの方法によるものであった。

しかし、我々が取り入れてきた方法は、結局の所、各プロセスがデバイス全体の行列を構築する為に、解析規模は各プロセスのメモリで制限されてしまう。そこで今回、対象となるデバイス領域を空間的に分割することによって各ノードで取り扱う行列を振り分けて処理す

る為に、より大規模な問題に対して処理が行える手法に取り組んだ。下図に、領域分割法のイメージを表示した。ここでは IGBT と呼ばれるパワートランジスタを 3x3 個ならべ、それぞれを各ノードに割り振り処理を行なっている。今回我々は、ノード内も OpenMP による並列化を行い、ハイブリッド並列を行えるようにソフトウェアを構築することにした。

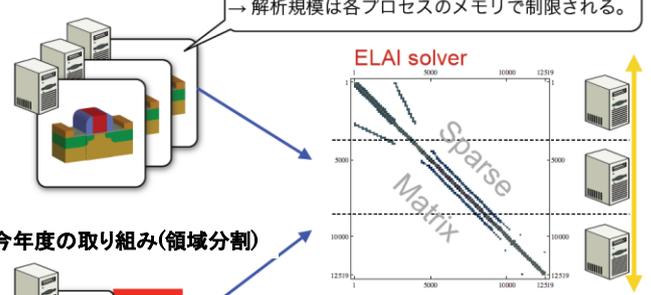
**領域分割法のイメージ**



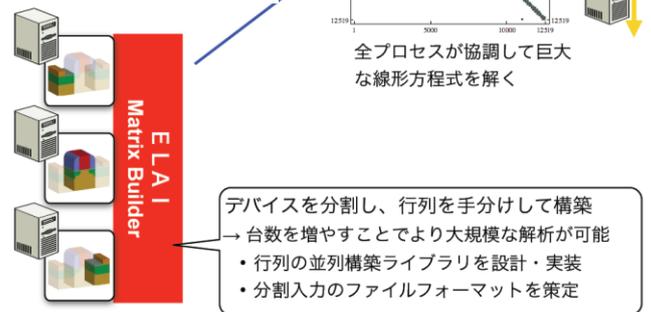
第一段階として、まず TCAD シミュレーションで扱う大規模 Jacobi 行列を領域分割法に基いて構築する手法を実装した。その取り組みの方針を下図に示す。

**昨年度までの取り組み**

**(行列分割)**



**今年度の取り組み(領域分割)**



**領域分割法への取り組み方針**

現段階のアプローチは分割した領域からデバイス全体の Jacobi 行列を構築していることから、Schwartz 型の領域分割法と旧来の手法との中間に位置付けられる。今回開発した領域分割法は将来的な完全 Schwartz 型領域分割法を意識して設計されており、今後、理論的検証の結果を基に実装を進める予定である。

## まとめ、今後の課題

本利用課題では、TSUBAME2.5 を用いて、①行列分割による、MPI を用いた半導体方程式の大規模並列化が実施可能であることが確認できた。②GPU を用いたパワーデバイス用モンテカルロイオン注入シミュレータを開発し、マルチ GPU を用いることにより従来では不可能であった処理時間で結果が得られる事が確認出来た。③また反復法(BiCGStaB)のシングル GPU 化を行い、計算規模によっては、十数倍の高速化ができる事が示せた。④領域分割に関しては、ほぼ実装は終わったものの、現時点ではまだ小問題によるテスト段階であり、この完全実装を更に進めて行きたい。

この研究期間が終わった後も、領域分割法(Domain Decomposition Method(DDM))の収束性実証の研究を推し進め、得られたアルゴリズムの実装を完成させ、大規模・大領域半導体デバイスシミュレーションの実現を目指したいと考えている。

課題としては、領域分割に関して特に半導体分野においては、その収束性はデバイスをどのように分割する方法(形状)に大きく依存する事が予想できる(電流の流れ方は特に注意して分割する必要があり、デバイス動作がよく解ってはじめて最良の分割が可能になると思われる)。その為、領域分割プログラムに関しては、今後現在開発している領域分割法をより多くのデバイスに適用し、その中から分割の指針となるものを考えて行きたいと思っている。また、領域分割結果の表示に関してはまだ十分な議論が進んでいないが、ParaView(or VisIt)等を利用する事により、できるだけ少ないリソースで実現したいと考えている。

## 謝辞

本プロジェクトの推進におきまして、多くのご支援を頂きました東京工業大学学術国際情報センター共同利用推進室、理論的側面から多くの助言を頂きました大阪大学サーバーメディアセンター小田中教授に深く感謝いたします。