

平成 27 年度 TSUBAME 産業利用トライアルユース 成果報告書

利用課題名 複合機を例題とした大規模電磁界解析による EMC 性能評価の精度検証  
英文: Accuracy validation for EMC problems of a multi-functional printer  
with a large scale electromagnetic analysis

利用課題責任者 大門 真  
Makoto Ohkado  
富士ゼロックス株式会社  
Fuji Xerox Co., Ltd.  
<http://www.fujixerox.co.jp>

EMC 対策コストの低減のため、開発プロセスへの電磁界解析の導入を試みている。EMC 対応設計では、設計前段階におけるトラブル予測フェーズと開発評価時におけるトラブル対策フェーズが存在し、予測フェーズにおいては解析精度検証、対策フェーズにおいては計算コストの課題を抱えている。本利用課題では、この2つの課題を解決するために、TSUBAME を利用した大規模電磁界解析を実施し、実製品レベルでの実測-解析間の精度検証および詳細-簡易モデル間における解析結果の誤差を検証することができた。

For the reduction of EMC countermeasure costs, a front-loading design process with electromagnetic analysis is strongly demanded. In order to the accurate prediction of EMC risks and reduction of calculation costs, large scale electromagnetic analyses by TSUBAME were applied to a multifunctional printing device which was released in 2014. As a result, a margin of error between large scale models and simplified models were acceptable for EMC design, and these results provide good correlation between measurements and calculations.

*Keywords: Electro-Magnetic Compatibility (EMC), Electro-Magnetic Interference (EMI), Electro-Magnetic Susceptibility (EMS), Printed Circuit Board (PCB), Electro-Magnetic Analysis*

#### 背景と目的

EMC 技術開発では、開発上流工程におけるフロントローディングの成果が、EMC 対策コストの圧倒的な低減につながるため、様々な取り組みがなされている。特に、3H(はじめて・久しぶり・変更点)においては、決して小さくはない確率で EMC トラブルが発生するため、重点的に事前対策活動が行われている。しかし、このような取り組みがなされているにもかかわらず、EMC 対策コストは大きく下がっているわけではなく、製品毎に大きな確率で手戻りが発生してしまっている。また、現状のトラブル予測には、KKD(勘・経験・度胸)や過去トラブル情報に頼ることが多いため、電磁界解析による定量的な EMC トラブル予見技術の実現は、大きな期待と意義を持つ。

一方、EMC 開発評価の現場では、トラブル発生時や認可目標値未達の場合において、時間の制約上、発生メカニズムに基づく根本解決ではなく、対策指向での

問題解決を優先することが多い。納期必達の環境下では最善策であるが、対策指向を取り続けると慢性トラブルが常態化し、手戻り発生率の悪化や低コスト化要求に応えづらいといった側面を持つため、発生メカニズム解明による根本対策の早期導入が切望されている。EMC トラブルの発生メカニズムの解明は、実測による要因切り分け実験と電磁界解析を用いたノイズ可視化の両輪を回すことが重要であり、特にフロントローディング設計の観点から電磁界解析への期待が大きい。

しかしながら、EMC 対応設計への電磁界解析の導入に期待が寄せられている一方で、開発上流工程や評価現場で活用されていない現実がある。複数の要因が考えられるが、特に大きな理由として、①解析結果の確かさが低い(予測フェーズ) ②計算時間(コスト)と対策猶予時間がマッチしていない(対策フェーズ) といったことが挙げられる。このため、電磁界解析を開発プロセスに本格的に導入するためには、これらの課題を解

決することが重要である。

以上のことから、本利用課題では、複合機を例題とした大規模電磁界解析を行い、上記の課題を解決することを目的とした。①の課題に対しては、大規模電磁界解析によって、製品レベルでの EMI/EMS 性能評価を明らかにするとともに、実機測定結果と比較することで、解析結果の確からしさの検証を行う。②の課題に対しては、詳細モデルから簡易モデルへの落とし込みによる精度検証を行う。本報告では、これらの実施例について述べる。

### 概要

複合機を取り巻く EMC の諸問題について、図1にまとめる。複合機は、様々な技術の摺り合わせの上に成り立っているが故、機能部品も数多く存在し、それぞれの部品ごとに固有の問題が発生している。更に、部品

固有の問題を抑えたとしても、組み付け時に EMC トラブルが発生する場合も多く、このような場合においては、筐体サイズでの電磁界解析が求められている。本報告では、筐体サイズにおける EMI および ESD の解析事例を紹介するとともに、簡易モデルによる計算コスト低減効果についても述べる。尚、本利用課題では、CST 社の MICROWAVE STUDIO を利用している。

### 結果および考察

#### ① UI (User-Interface) からの不要電磁放射

筐体サイズでの EMI の問題として、UI からの電磁放射を取り上げた。構成図を図 2 に示す。このモデルは、様々な面で大幅な低コスト化を目指したローエンド A3 機であり、フレームやシールド BOX の削除といった EMC 対策コストの低減化も狙った機種である。EMC トラブル内容としては、UI の液晶パネル付近から 200MHz



図 1 複合機を取り巻く EMC の概況

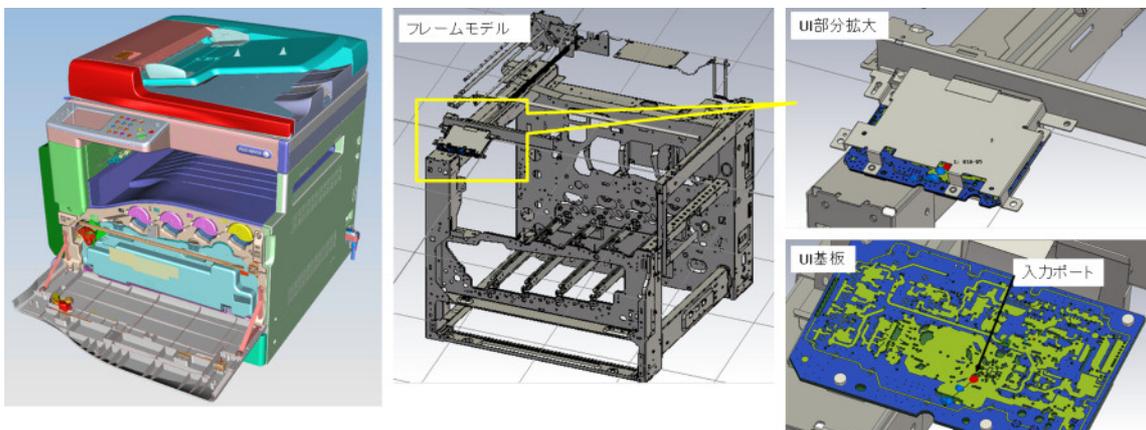


図 2 UI\_EMI の解析モデル

前後の不要電磁放射が観測されたものであり、開発段階では放射メカニズムが不明であった。図 3 に示す通り、UI-フレームグラウンド(FG)間への接地点数を増やすことで、不要電磁放射を低減できたため、UIシールド板金に対する追加板金を導入することで規格適合させた、というトラブル事例となっている。

解析モデルは、UI 基板-UI シールド-筐体フレームモデルで構成されており、電磁波に影響しないと考えられるプラ材などは全て取り除いている。UI 基板の電源-グラウンド(GND)間や主要な伝送線路上には RLC 要素を実装し、波源は UI 基板のクロックラインに入力するガウシアンパルスとした。解析周波数範囲は 30MHz ~ 1000MHz とし、CISPR22 に準拠させた。メッシュ数は約 6.5 億メッシュとなっている。

図 4 に解析結果および実測結果をまとめたものを示す。この結果が示す通り、解析結果と実測結果の間には強い相関がある結果となっており、200MHz 前後不要電磁放射が抑制される現象を再現できることがわかった。ピーク周波数の若干の相違は、解析と実測ではノイズ電流の経路に関する実効波長が多少異なることが

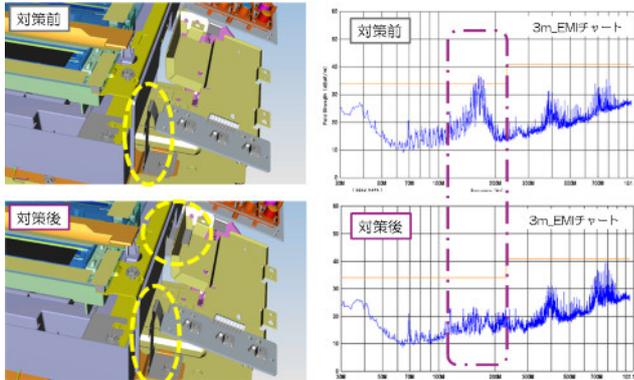


図 3 対策前後(1点-2点接地)における実測チャート

影響していると考えている。

次に、周波数チャート上での実測との相関を確認できたため、解析結果に基づく放射メカニズムの解明を行った。図 5 に、1点接地と2点接地の場合の表面電流分布を示す。この結果が示す通り、1点接地の場合、UIシールドから A-FRAME へノイズ電流が流れ込み、さらに別の B-FRAME へ流入することがわかった。この経路の長さは約 400mm となっており、この経路をモノポールアンテナと仮定すると、ピーク周波数 200MHz と一致することが確認された。それに対し、2点接地では、UIシールド→A-FRAME と UIシールド→B-FRAME という二つの経路が生成され、電流キャンセル効果で放射に寄与するノイズ電流が減少したため、不要電磁放射が抑制されたと考えられる。

メカニズム解明によって電流の流れを可視化することができたので、その流れを模擬するような簡易解析モデルと詳細解析モデル間の解析精度誤差について検討を行った。メッシュ数増大の主要因は基板にあるため、基板を解析モデルから取り除くことで計算負荷の低減を目指す。ノイズ電流の流れは UI シールド→

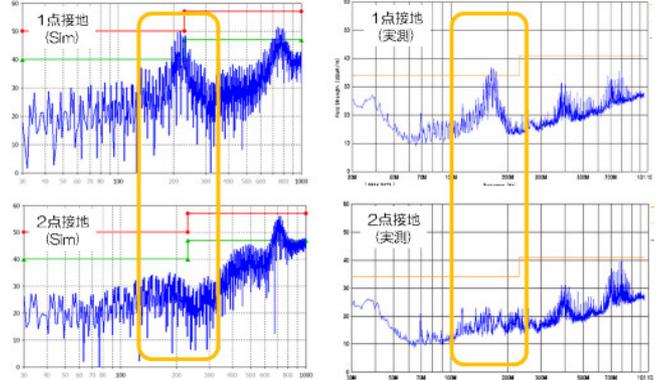


図 4 対策前後における解析結果と実測結果の比較

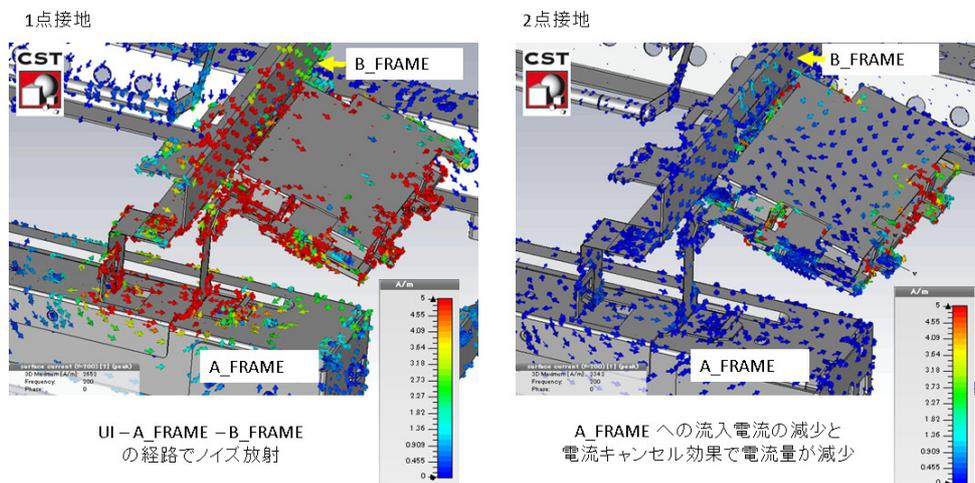


図 5 対策前後におけ表面電流分布

A-FRAME→B-FRAME であることがわかっているため、UI シールドへ強制的にノイズ電流を流すように入力ポートを設定した。このモデル化により、メッシュ数は約 4000 万メッシュとなり、汎用解析 PC でも解析可能なサイズとなった。詳細モデルと簡易モデル間のチャート比較および表面電流分布を確認したところ、それぞれに特段大きな相違は見当たらないことがわかった。以上の結果から、放射メカニズムに対してある程度の推論がある場合、もしくは、ノイズ電流の経路や流れに関して実測などで既知である場合は、モデル簡略化が有用であることがわかった。

## ② LPH (LED Print Head) への ESD 印加

次に、筐体サイズでの EMS の解析事例について述べる。題材として、LPH [1] と呼ばれる露光装置の ESD に関する問題を取り上げた。LPH は、感光体ドラムに潜像を書き込む装置であり、従来のレーザー型に対して、大幅な小型化が可能且つ機械ノイズが発生しないといったメリットがある。その反面、構造起因により基板が細長くなってしまったため、静電気を正しく逃がす設計をしないと画質などにダメージが発生する可能性がある。そのため、基板設計前における ESD 耐性の検討は大きな役割を担っている。

解析に用いた機種は、①と同様のもので、図 6 に示す解析モデルは、LPH 基板と制御基板、それらをつなぐ FFC を模擬したハーネス、筐体フレームモデル、そして ESD 試験器で構成されている。メッシュ数は約 20 億で、2つの基板がメッシュ数を大きく増加させている。解

析は、約 40ns の時間領域解析を行い、ESD 試験器からの出力信号は実測との相関が取れているものを利用し[2]、出力はコンタクト 4kV とした。この解析では、表面電流分布による ESD ノイズの経路の可視化と LPH 基板内にある演算用 IC への電流流入量を算出し、実際に ESD トラブルを起こしたモデルと起こさなかったモデルとの相対比較を行った。これらのモデルは便宜上、ESD 耐性の強いものから順に A 基板、B 基板、C 基板と呼称する。図 7 に表面電流分布の結果、図 8 に IC への流入電流量を比較した結果を示す。開発時においては、ESD 電流流入経路として、制御基板→FFC→LPH 基板という経路、空間結合による直接流入、金属フレームからの流入という 3 パターンを想定していた。表面電流分布および磁界分布の結果から、LPH へ直接到達する時間は約 2ns 後であり、流入電流の立ち上がり時間は約 4ns であることから、空間結合という経路はないと推定した。解析結果を勘案すると、フレームからの流入が 4ns 後に発生し、その後約 2ns 遅れて FFC 経路での流入が始まっていると考えられる。

LPH 基板間における流入電流の相違に関しては、実際にトラブルを起こした C 基板への流入電流量が最も多く、最も強い耐性がある A 基板への流入電流が最も小さくなることがわかった。表面電流分布による基板内流入経路を分析してみると、耐性のある A 基板は、流入後多くの電流が内層 GND 層へ流れていることがわかった。耐性の低い C 基板に対して、GND 層との強カップリング、GND 層の低インピーダンス化、ガードアース導入などをシミュレーション上で施したところ、流入電流

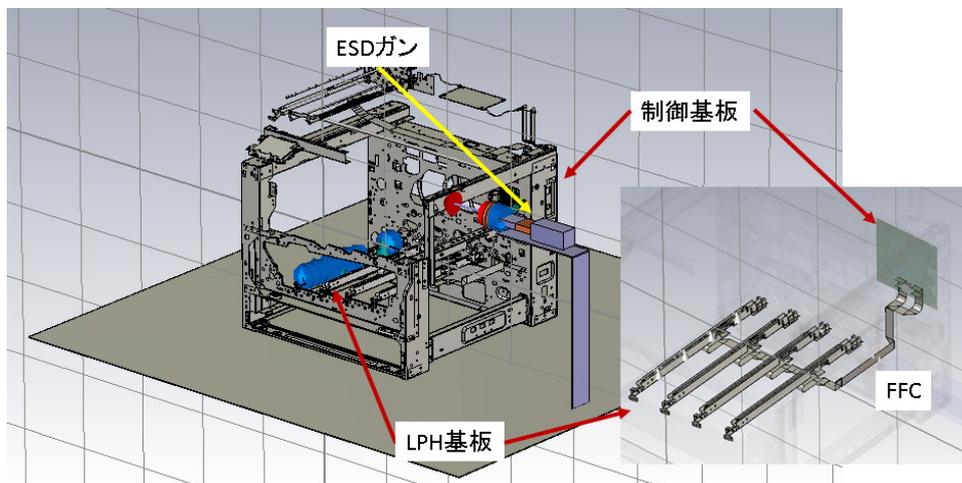


図 6 ESD 解析モデル

量が低減し、耐性のある A 基板とほぼ同等の性能が得られることがわかった。本来であれば、実測においても流入電流量を測定すべきであったが、ESD 空間ノイズと基板内に流入するノイズ電流の切り分けが完全に出来なかったため、今回は耐性差と流入電流量の差から解析と実測に相関があると判断した。

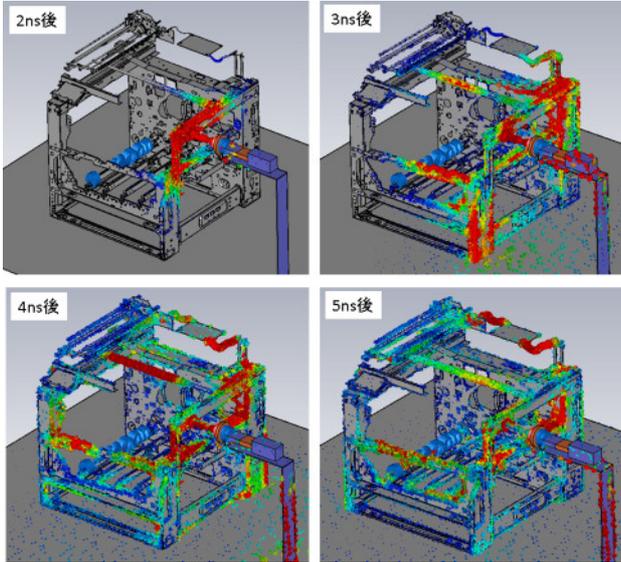


図 7 表面電流分布の時間変化

まとめ、今後の課題

複合機を例題とした EMI/EMS の大規模電磁界解析を実施し、EMI/EMS とともに実測結果とほぼ一致する結果が得られ、精度検証を行うことができた。EMI に

関しては、ノイズ源やノイズ電流の経路をあらかじめ推定することさえできれば、モデルの大幅な簡略化が可能であることがわかり、EMC トラブルの予測・対策、どちらのフェーズに対しても有用であることがわかった。EMS に関しては、機能性トラブルを引き起こす直接の原因が、基板および IC であることが多いため、メッシュ数の大幅な削減は難しい。また、対策フェーズにおいては対策立案やメカニズム解明に対して電磁界解析が有用である結果は得られたが、予測フェーズにおいては、過去トラブルなどから類推して解析モデルを構築する必要があるため、その手法やプロセスに関しては今後の課題であると感じている。最後に、TSUBAME による計算高速化に関しては、過去の文献[3]とほぼ同様の効果を得られることを確認している。

参考文献

- [1]富士ゼロックス HP,  
[http://www.fujixerox.co.jp/company/technical/product/digital/led\\_phead.html](http://www.fujixerox.co.jp/company/technical/product/digital/led_phead.html)
- [2]AET HP,  
[http://www.aetjapan.com/software/App.php?EMC\\_EMI=Susceptibility&AP=333](http://www.aetjapan.com/software/App.php?EMC_EMI=Susceptibility&AP=333)
- [3]安永高志, “超大規模三次元高周波電磁界シミュレーションへの GPU クラスタ適用検証”, TSUBAME 共同利用 平成 23 年度 産業利用 成果報告書

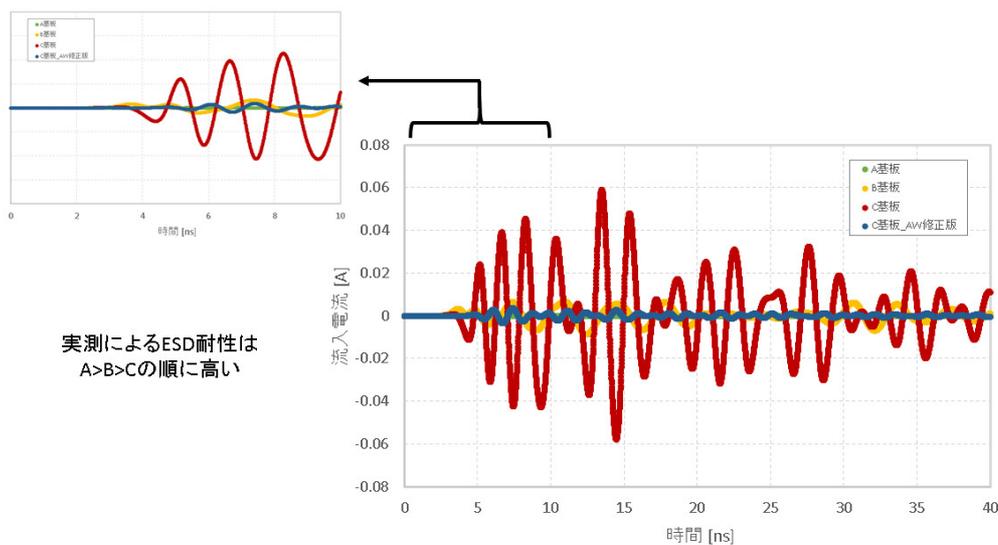


図 8 各 LPH 基盤における流入電流量